**Lab3** 自动售货机设计

实验内容：

设计一个自动售货机控制器，可以售出6种货物。货物价格定义如下：

|  |  |
| --- | --- |
| 商品编号 | 商品价格 |
| 1 | 0.5元 |
| 2 | 1元 |
| 3 | 1.5元 |
| 4 | 2元 |
| 5 | 6.5元 |
| 6 | 13元 |

注意: 有的价格需要按两次货币输入按钮开关表示支付两次。例如：按两次2元按钮表示支付4元。

**操作流程：**

首先通过货物种类开关(选用3个swich开关)选择所需要的商品编号，同时将商品编号显示到7段数码管上。然后用四个按钮输入相应的货币, 当输入货币总和正确以后，点亮购买成功标志的led。此处假定输入的货币总和都是正好的，只要等于所选商品价格即可, 不必找零。

**输入：**

货物种类: switch开关3个，代表6种货物;

货币输入: 4个按钮, 分别代表5块, 2块, 1块, 5角;

时钟输入: 采用板子上的CLOCK\_50, 管脚为PIN\_N2, 频率为50MHz。

**输出：**

商品编号：7段数码管，显示商品编号;

输入金额：7段数码管，显示已付金额

交易成功: LED指示灯1个, 表示购买成功。

**实验要求：**

1．用Verilog HDL语言描述此逻辑。

2．下载到实验板进行验证。

**特别提示:**

本次实验的输入端, 会涉及防抖动的处理。

在按开发板上的按钮时由于抖动, 有可能会发生输入信号短时间内的多次变化, 这样的情况会对结果造成影响。如果该变化对你的电路设计造成影响，可以使用下面的方法进行消除。防抖动的处理方法如下：

主要思路是将高频的时钟信号分频为低频信号, 这样在低速采集输入, 就只会接受正确的输入, 而过滤掉相对高频的抖动。

1) 时钟的分频

always@(posedge clk)

begin

count = count + 1'b1;

if (count [23] == 1)

begin

clk2 = ~clk2; //这样clk2的频率约为3Hz

count = 24'b0;

end

end

2) 在低频信号下采集输入

always @(posedge clk2)

begin

money\_in = money; //money是四位输入按键, money\_in是内部寄存器

end

3) 对信号处理

always @(posedge money\_in[0])

begin

…

end

实验提交：

1. 实验报告，简要说明一下设计思路和方法
2. 实验源代码
3. 现场演示